

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



DEUTSCHES
PATENTAMT

21 Aktenzeichen: P 42 17 911.4
22 Anmeldetag: 30. 5. 92
43 Offenlegungstag: 2. 12. 93

DE 42 17 911 A 1

54 Anmelder:

Bundesrepublik Deutschland, vertreten durch den
Vorstand der Deutschen Bundespost Telekom,
dieser vertreten durch den Präsidenten des
Fernmeldetechnischen Zentralamtes, 6100
Darmstadt, DE

72 Erfinder:

Aßmus, Ulf, 6100 Darmstadt, DE

56 Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:

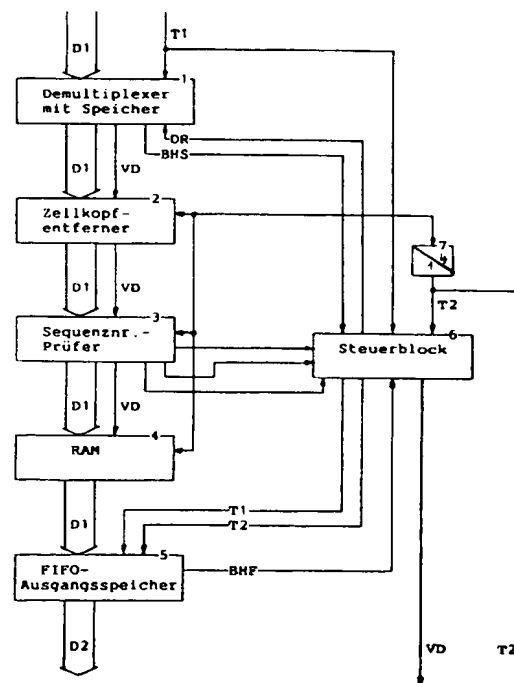
DE 40 25 831 A1
DE 40 18 536 A1
DE 40 15 283 A1
DE 39 18 263 A1
DE 38 42 371 A1

54 Verfahren und Vorrichtung zur empfangsseitigen Taktrückgewinnung für Digitalsignale

57 Bei digitaler Übertragung von Signalen mit konstanter
Bitrate und Taktrückgewinnung nach zellstrukturierter asyn-
chroner Übertragung mit unterschiedlich langen Pausen
zwischen den einzelnen Zellen mit Zellspeicherung im
Zelldemultiplexer (Verteiler) und Zellauflöser und anschlie-
ßender Taktableitung aus dem Füllstand eines FIFO-Aus-
gangsspeichers bestehen Probleme hinsichtlich Speicherka-
pazität bzw. Jitterverhalten.

Für eine kontinuierliche Taktrückgewinnung werden im eine
größere Zahl von Zellen fassenden Speicher des Verteilers
zunächst Zellen bis zu dessen halber Kapazität eingelesen.
Erst ab halbvollem Füllstand werden vom Zellauflöser die
Daten abgefordert, geprüft und erforderlichenfalls korrigiert.
Mit dem vom Netz gelieferten Bytetakt werden sie zellenwei-
se in den FIFO-Ausgangsspeicher des Zellauflösers einge-
lesen und danach mit einem Bruchteil dieser Taktfrequenz
wieder ausgelesen. Gleichzeitig wird der Füllstand des
FIFO-Ausgangsspeichers ausgewertet und ein Füllstandssi-
gnal erzeugt, welches das Verhältnis der auszugebenden
Datenbytes zu Bytes ohne Bedeutung steuert.

Anwendungsgebiet der Erfindung ist die Übertragung von
Digitalsignalen konstanter Bitrate, insbesondere von Video-
signalen hoher Bitrate.



DE 42 17 911 A 1

Beschreibung

Die Erfindung bezieht sich auf das Gebiet der digitalen Übertragung von Signalen mit konstanter Bitrate (CBR) und betrifft speziell die Taktrückgewinnung nach zellstrukturierter asynchroner Übertragung mit unterschiedlich langen Pausen zwischen den einzelnen Zellen, wie näher im Oberbegriff des Anspruchs 1 definiert.

Ein solches Verfahren ist näher beschrieben im Buch mit dem Titel: ASYNCHRONOUS TRANSFER MODE, Solution for Broadband ISDN von Martin de Prycker, Alcatel Bell, Antwerp, Belgium, Verlag Ellis Horwood, New York London Toronto Sydney Tokyo Singapore, Seiten 97 bis 116, wobei die Kurzbezeichnung ATM für dieses Verfahren eingeführt wurde. Die bevorzugte Anwendung des Verfahrens ist die Übertragung von Breitbandsignalen, insbesondere Videosignalen.

Ein wesentliches Problem bei diesem Verfahren ist die Rückgewinnung eines kontinuierlichen, möglichst jitterfreien Datenstroms nach der Taktrückgewinnung, die wegen der Zellstruktur des Signals mit unterschiedlich langen Pausen zwischen den einzelnen Zellen Schwierigkeiten bereitet und durch eine Zwischenspeicherung der Zellen in einem Zelldemultiplexer (Verteiler) und Zellauflöser und anschließende Taktableitung aus dem Füllstand eines FIFO Ausgangsspeichers möglich ist.

Zur kontinuierlicheren Taktrückgewinnung wird ein im Kennzeichen des Anspruchs 1 definiertes adaptives verbessertes Verfahren der Taktrückgewinnung vorgeschlagen, bei dem die Taktrückgewinnung unter besserer Ausnutzung des Speichers im Verteiler, der bereits eine grobe Taktanpassung vornimmt, in zwei Stufen vorgenommen wird.

Einige Möglichkeiten der weiteren Perfektionierung des Verfahrens und dessen vorteilhafter Ausgestaltung sind in den Kennzeichen der Ansprüche 2 bis 5 ausgeführt.

Ausgehend davon, daß dieses Verfahren eine Verringerung der erforderlichen Speichergröße zu erreichen gestattet, ermöglicht es auch eine verbesserte Anordnung, die im Anspruch 6 beschrieben ist.

Die wesentlichen Vorteile der Erfindung bestehen darin, daß die Taktfrequenz am Ausgang des Verteilers erheblich niedriger ist als bei direkter Verarbeitung mit dem Netztakt und daß der ausgangsseitige Datenstrom am Verteiler gleichmäßiger wird. Die Lücken zwischen den Daten der einzelnen Zellen am Ausgang des Verteilers betragen nach dem vorgeschlagenen Verfahren entweder zwei oder drei byte im Gegensatz zu mehreren Zellen am Eingang des Verteilers. Die starken Schwankungen im Datenstrom (variable cell delay) werden komplett vom ohnehin im Verteiler enthaltenen Speicher aufgefangen.

Ausführungsbeispiel

Im nachfolgenden Ausführungsbeispiel werden das Verfahren und die Anordnung nach der Erfindung anhand der Zeichnungen näher erläutert. Hierbei zeigt die

Fig. 1 ein Blockschaltbild des Zellauflösers und

Fig. 2 ein Schaltbild des Steuerblocks.

In der Fig. 1 ist oben der Zelldemultiplexer (Verteiler) 1 zu erkennen, der einen Speicher enthält, dem die Daten D1 mit 155,52 Mbit/s zufließen und an dem der Bytetakt des Netzes T1 mit 19,44 MHz liegt. Hier erfolgt die Grobanpassung des Taktes. Dazu werden die

Daten Zelle für Zelle aus dem Speicher erstmalig ausgelesen, wenn der Speicher zur Hälfte gefüllt ist.

Die Wirkungsweise und Frequenzen werden für die Grobanpassung von CBR-Videosignalen beschrieben und sind bei Anwendungen auf andere CBR-Signalarten sinngemäß zu interpretieren. Für die Videosignalanwendung beträgt die Kapazität des Speichers im Zelldemultiplexer 1 hier 128 Zellen. Mit dem Auslesen von Daten wird in diesem Falle bei einem Füllstand von 64 Zellen begonnen, sobald er durch das Signal "Speicher halb voll" BHS diesen Zustand anzeigt. Der Zellauflöser fordert davon angeregt die Daten ab, wobei im Betriebszustand dieses BHS-Signal zur zeitlichen Steuerung benutzt wird.

Auf bekannte Art werden im Zellauflöser die Zellen auf Fehler (verlorene bzw. eingefügte Zellen) mittels Zellkopfentferner 2, Sequenznummernprüfer 3 und RAM 4 untersucht und, wenn notwendig, Korrekturen vorgenommen. Danach werden die Daten (payload) zellenweise, jedoch ohne Zellkopf und Sequenznummer im FIFO-Ausgangsspeicher 5 zwischengespeichert. Alle diese Operationen werden mit dem Bytetakt des Netzes T1 durchgeführt. Aus dem FIFO-Ausgangsspeicher 5 werden die Daten mit einem wesentlich langsameren Takt T2 ausgelesen, der z. B. $1/4 T1 = 4,86 \text{ MHz}$ betragen kann. Der Füllzustand des FIFO-Ausgangsspeichers 5 wird anhand eines weiteren Signals für dessen halbvoll Füllstand BHF ausgewertet, der die zeitliche Folge der Datenanforderung DR beeinflusst. Die Wirkung der beiden Signale BHS und BHF auf die Datenanforderung DR bzw. -Ausgabe ist jedoch sehr unterschiedlich: Das Signal BHF gibt an, ob die Zellen unmittelbar aufeinanderfolgend aus dem Speicher des Zelldemultiplexers 1 gelesen werden (FIFO-Ausgangsspeicher weniger als zur Hälfte gefüllt) oder mit größeren Lücken zwischen den Zellen (FIFO-Ausgangsspeicher mehr als zur Hälfte gefüllt) ausgelesen werden. Damit wird erreicht, daß im FIFO-Ausgangsspeicher immer genügend Daten bereitstehen, ohne daß er ganz leer wird, da immer dann eine Zelle abgefordert wird, wenn der Speicher weniger als halb voll ist.

Das Signal BHS steuert die mittlere Auslesegeschwindigkeit für den FIFO-Ausgangsspeicher so, daß der Speicher im Zelldemultiplexer 1 möglichst einen mittleren Füllstand aufweist. Bei mehr als zur Hälfte gefülltem Speicher werden pro verarbeiteter Zelle jeweils 49 byte, bei weniger als zur Hälfte gefülltem Speicher jeweils 50 byte pro verarbeitete Daten einer Zelle ausgegeben. Ein Gültigdatensignal (valid data) VD markiert dabei die 47 byte Nutzerdaten vom Datenfeld der Zellen. Zweck dieser Umschaltung zwischen 49 und 50 byte ist es, eine mittlere Zahl von 49,85 byte pro Zelle aus dem Zellauflöser auszulesen. Das entspricht der mittleren Übertragungsrate der Nutzerdaten (34,368 MBit/s) in einem Feld von 47 byte bei dem Bytetakt T2 von 4,86 MHz. Nach jeweils 49 bzw 50 ausgelesenen Datenbyte werden neue Daten vom Zellauflöser durch das Signal DR angefordert, wenn das Signal BHF die Anforderung frei gibt. Für den Fall einer fehlenden Zelle, die im Zellauflöser eingefügt werden muß, wird das Lesen der Daten aus dem Verteiler für die Dauer einer Zelle unterbrochen.

Die Steuerung dieser beschriebenen Operationen ist in Fig. 1 in Form eines zusammengefaßten Steuerblocks 6 dargestellt, für den in Fig. 2 eine Ausführungsmöglichkeit dargestellt ist. Der langsamere Takt T2 wird in Fig. 1 über einen Frequenzteiler 7 gewonnen; er kann aber auch von einer vom Netztakt unabhängigen Ausle-

setaktuelle kommen.

In der Fig. 2 ist der von der Erfindung betroffene Teil des Steuerblocks 6, näher mit logischen Schaltungen ausgeführt, dargestellt. Der Frequenzteiler 7 ist hierin einbezogen. Die gewählten Schaltungen AND-Gatter 61, Flipflop 62, AND-Gatter 63, Torschaltungen 64 für 50 byte und 65 für 49 byte und Negator 66 lassen sich nach bekannten Regeln der Schaltalgebra durch äquivalent wirkende andere Strukturen natürlich ebenso ersetzen wie der Frequenzteiler 7 durch die bereits erwähnte, vom Netztakt unabhängige Auslesetaktquelle. Mit der Fig. 2 war lediglich die Realisierbarkeit zu belegen, ohne damit eine Beschränkung auf diese Struktur vorzugeben.

Patentansprüche

1. Verfahren zur empfangsseitigen Taktrückgewinnung für Digitalsignale mit konstanter Bitrate, insbesondere Videosignale hoher Bitrate, nach zellstrukturierter asynchroner Übertragung mit unterschiedlich langen Pausen zwischen den einzelnen Zellen mit einer Zellenspeicherung im Zelldemultiplexer (Verteiler) und Zellauflöser und anschließender Taktableitung aus dem Füllstand eines FIFO-Ausgangsspeichers, **dadurch gekennzeichnet**, daß in den eine größere Zahl von Zellen fassenden Speicher des Verteilers zunächst Zellen bis zu dessen halber Kapazität eingelesen und vom Zellauflöser erst ab halbem Füllstand die Daten abgefordert, dort geprüft und erforderlichenfalls korrigiert werden und danach zellenweise in den FIFO-Ausgangsspeicher des Zellauflösers mit dem vom Netz gelieferten Bytetakt eingelesen und mit einem Bruchteil dieser Taktfrequenz wieder ausgelesen werden, während gleichzeitig auch der Füllstand des FIFO-Ausgangsspeichers ausgewertet wird und über ein Füllstandssignal das Verhältnis der auszugebenden Datenbytes zu Bytes ohne Bedeutung gesteuert wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß bei Nutzung eines Auslesetaktes mit einem Viertel der Netztaktfrequenz und einer Video-Datenrate von 34,368 Mbit/s jeweils 47 Datenbyte entsprechend der Nutzkapazität einer Zeile des Typs A, Klasse 1, nach CCITT Empfehlung I 362/363 sowie zusätzlich im Mittel 2,85 byte ohne Bedeutung vom Zellauflöser pro bearbeiteter Zelle am Ausgang abgegeben werden.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß bei mehr als halbvollem Speicher im Zelldemultiplexer jeweils 49 byte; bei weniger als halbvollem Speicher jeweils 50 byte pro verarbeiteter Zelle, bzw. eine definierte Folge von 49- und 50-byte-Blöcken vom Zellauflöser ausgegeben werden, um als Mittel 49,85 byte pro Zelle zu erreichen.
4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die maximale mittlere Abweichung der Datenrate aus dem Voll- bzw. Leerlaufen des Speichers im Zelldemultiplexer zur Vermeidung des Leer- bzw. Überlaufens der Speicher in der Taktrückgewinnung gesteuert wird.
5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß eine getrennte Auslesetaktquelle in seiner Frequenz, abhängig vom Füllstand des Speichers im Zelldemultiplexer, analog zu stetiger Ausgabe von 47-byte-Blöcken vom Zellauflöser, gesteuert wird.

steuert wird.

6. Anordnung zur empfangsseitigen Taktrückgewinnung für Digitalsignale, mit konstanter Bitrate, insbesondere Videosignale hoher Bitrate, mit einem Speicher im Zelldemultiplexer (Verteiler), einem Zellauflöser, bestehend aus FIFO-Ausgangsspeicher und davor angeordnetem Zellkopfernter, Sequenznummernprüfer und RAM, sowie mit einer zugehörigen Steuerung, dadurch gekennzeichnet, daß vom Zelldemultiplexer und vom FIFO-Ausgangsspeicher Kriterienleitungen für halbvollen Speicher an die Steuerung geführt sind, daß eine Zellenanforderungsverbindung von der Steuerung zum Zellenspeicher im Zelldemultiplexer geführt ist, und daß die Steuerung einen zusätzlichen Auslesetaktingang aufweist, an dem über einen Frequenzteiler der Netztakt bzw. eine getrennte Auslesetaktquelle liegt.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

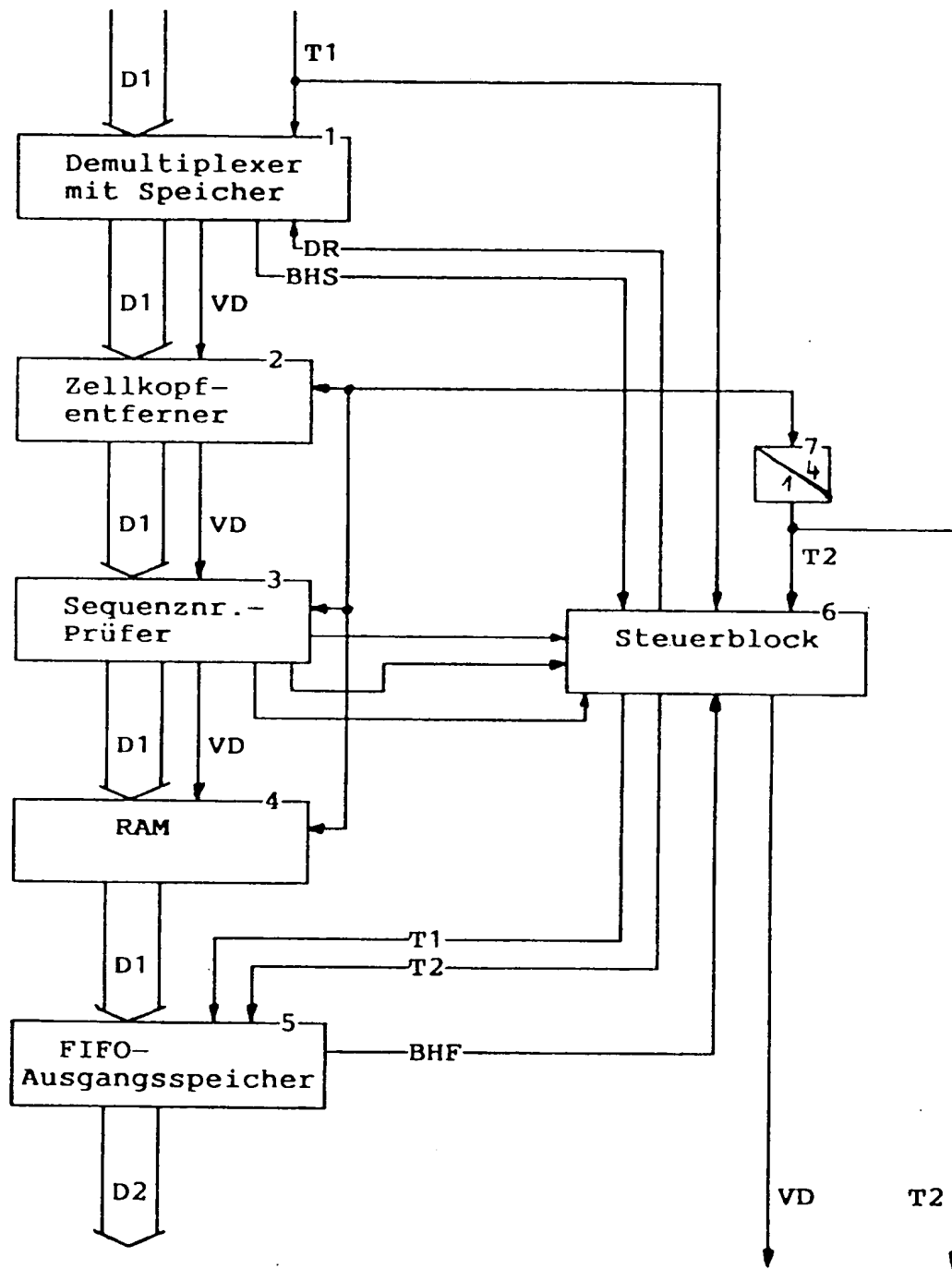


Fig. 1

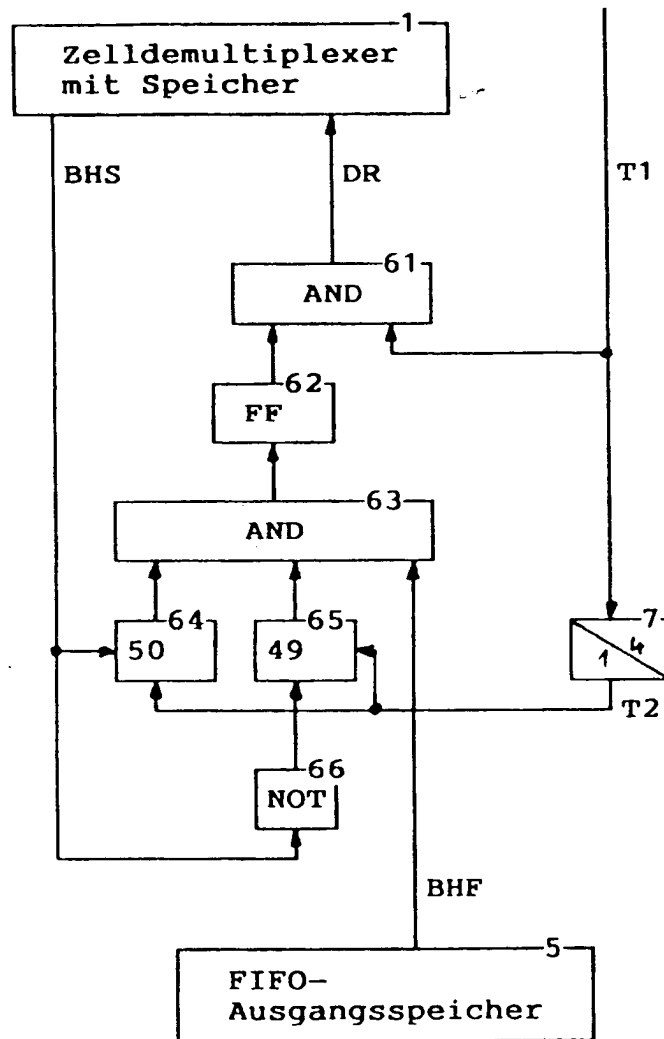


Fig. 2